

04/8/26-SM ②

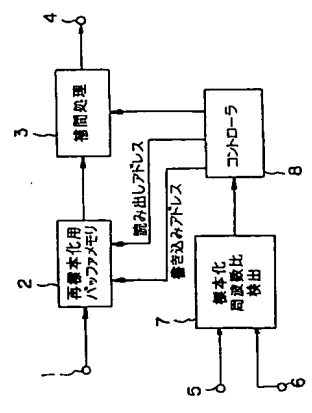
(19)日本国特許庁 (JP) (12) 公開特許公報 (A) (11)特許出願公開番号  
特開平7-221598  
(43)公開日 平成7年(1995)8月18日

(51)Int.Cl.<sup>\*</sup> H03H 17/02 識別記号 FI 庁内整理番号 D 8842-5J A 8842-5J 技術表示箇所  
審査請求 未請求 請求項の数 8 OL (全 14 頁)

(21)出願番号 特願平6-8366 (71)出願人 00002185  
ソニー株式会社  
東京都品川区北品川6丁目7番35号  
(22)出願日 平成6年(1994)1月28日 (72)発明者 安田 信行  
東京都品川区北品川6丁目7番35号 ソニー株式会社内  
(74)代理人 伊理士 小池 晃 (外2名)

(54)【発明の名称】 基本化周波数変換装置

(57)【要約】  
【構成】 再基本化用バッファメモリ2は、入力端子1から入力された入力基本化周波数F<sub>si</sub>の入力信号D<sub>si</sub>を記憶する。補間処理回路3は、再基本化用バッファメモリ2からの読み出し信号に補間処理を施す。基本化周波数は抽出回路7は、入力端子5から供給される入力基本化周波数F<sub>so</sub>と入力端子6から供給される出力基本化周波数F<sub>so</sub>との現在の基本化周波数R<sub>n</sub>を抽出し、該現在の基本化周波数R<sub>n</sub>と一後出周波数の抽出値R<sub>n-1</sub>に基づいて新たな基本化周波数R<sub>n,NEW</sub>を抽出する。コントローラ8は、新たな基本化周波数R<sub>n,NEW</sub>から再基本化用バッファメモリ2及び補間処理回路3を制御する。  
【効果】 一定時間継続的に基本化周波数R<sub>n</sub>が変化し続けても再基本化時刻アドレシの誤差の累積を発生させず、よってバッファメモリの容量を増大させることなく、かつ、変化速度及び変化量の制限を不要とする。



基本化周波数変換装置のブロック図

【特許請求の範囲】  
【請求項1】 入力信号の基本化周波数を任意の基本化周波数に変換する基本化周波数変換装置において、上記入力信号を記憶する記憶手段と、上記記憶手段から読み出された信号を補間処理する補間処理手段と、上記入力信号の基本化周波数と上記任意の基本化周波数との基本化周波数比を抽出し、該抽出値及び過去の抽出値に基づいて新たな基本化周波数比を抽出する基本化周波数比抽出手段と、上記基本化周波数比抽出手段の新たな基本化周波数比に応じて上記記憶手段及び上記補間処理手段を制御する制御手段とを有することを特徴とする基本化周波数変換装置。

$$R_{n,NEW} = R_n + k \Delta R_n + \sum_{i=1}^m (1-k) \cdot (\Delta R_{n-m})$$

【請求項4】 上記基本化周波数比抽出手段は、上記入力信号の基本化周波数と上記任意の基本化周波数の内の一方向の基本化周波数の周期に対して充分高速でかつ他方向の基本化周波数の整数倍のクロックで、上記一方の基本化周波数の周期を計数することを特徴とする請求項1記載の基本化周波数変換装置。

【請求項5】 上記補間処理手段は、上記制御手段により上記記憶手段から読み出された信号に対して上記制御手段から供給される制御信号に応じたオーバーサンプリング処理を施すことにより隣合った二個のオーバーサンプリングデータを求め、さらにこれら二個のオーバーサンプリングデータに直線補間を施すことを特徴とする請求項1記載の基本化周波数変換装置。

【請求項6】 上記入力信号の基本化周波数が上記任意の基本化周波数よりも高いときには、上記補間処理手段の出力信号に帯域制限を施すことを特徴とする請求項1記載の基本化周波数変換装置。

【請求項7】 上記基本化周波数比抽出手段は、短い時間間期と長い時間間期で上記入力信号の基本化時間間期と上記任意の基本化周波数との基本化周波数比を抽出し、該短い時間間期及び該長い時間間期での現在の抽出値及び過去の抽出値に応じて、短い時間間期及び長い時間間期での新たな基本化周波数比を抽出し、該2つの新たな基本化周波数比を切り換えて出力することを特徴とする請求項1記載の基本化周波数変換装置。

【請求項8】 上記基本化周波数比抽出手段は、短い時間間期での新たな基本化周波数比と長い時間間期での新たな基本化周波数比との所定の精度内での一致又は不一致を判断し、一致のときには上記長い時間間期での基本化周波数比を、不一致のときには上記短い時間間期での基本化周波数比を選択して出力することを特徴とする請求項1記載の基本化周波数変換装置。

【請求項2】 上記基本化周波数比抽出手段は、新たな基本化周波数R<sub>n,NEW</sub>を、現在の抽出値R<sub>n</sub>の2倍の値2R<sub>n</sub>から過去の抽出値R<sub>n-1</sub>を減算して、 $R_{n,NEW} = 2R_n - 1$ の式により求めることを特徴とする請求項1記載の基本化周波数変換装置。  
【請求項3】 上記基本化周波数比抽出手段は、新たな基本化周波数R<sub>n,NEW</sub>を、現在の抽出値R<sub>n</sub>と、該現在の抽出値R<sub>n</sub>と過去の抽出値R<sub>n-1</sub>との差分 $\Delta R_n$ のk(k<1)倍値k $\Delta R_n$ と、(1-k)<sup>m</sup>( $\Delta R_{n-m}$ )のmの1から無限大までの項の総和値としての無限級数を加算して、  
【数1】

【発明の詳細な説明】

【0001】  
【産業上の利用分野】 本発明は、入力信号の基本化周波数を再基本化して任意の基本化周波数に変換する基本化周波数変換装置に関する。

【0002】  
【従来の技術】 最近、オーディオ信号を光ケーブルや同軸ケーブル等を用いてデジタル信号のまま伝送し、デジタルオーディオインターフェースを介して再生するようなデジタルオーディオ信号再生装置が普及するようになった。このデジタルオーディオ信号再生装置においては、デジタルオーディオ信号受信時に位相比較と帯域制限処理（以下、VCOという。）とで構成されるフェーズロックループ（以下、PLLという。）を用いてクロックを生成している。しかし、このクロック生成時にPLLのVCOによるジッタのためにディジタル/アナログ（以下、D/Aという。）変換処理特性を劣化させてしまうことがある。このため、コンバクトディスク（以下、CDという。）プレーヤ、デジタルオーディオテープ（以下、DATという。）プレーヤ等のデジタルオーディオ信号記録媒体を再生するようなディジタルオーディオ信号記録媒体を再生するような装置において、クロックロックを用いてディジタルオーディオ信号をD/A変換処理によりアナログオーディオ信号に変換し、その後にアナログオーディオ信号を伝送したほうが望ましいという場合がある。

【0003】 また、現在、ディジタルオーディオ信号のソースとなる記録媒体、例えば、CD、CDよりも小型の光ディスク、DAT、DATよりも小型のディジタルオーディオテープにおいては、ディジタルオーディオ信号記録時の基本化周波数は、例えば、44.1kHz、48kHz、32kHzのいずれかであり、統一されていない。また、記録媒体ではないがディジタルオーディオ信号のソースとなる衛星放送（以下、BSという。）も、基本化周波数

れる。しかし、この場合、入力構本化周波数Fsiと出力構本化周波数Fsoを可変するような用途においては過渡的に構本化周波数Rの値と現英のFsi/Fsoとに誤差が生じてしまうという不都合が生じてしまう。  
【0009】このため、高精度な構本化周波数の変換は、構本化周波数Fsiと再構本化周波数Fsoが一定であるという条件のもとで実現されていた。  
【0010】また、一定時間継続的に構本化周波数Rが変化し続けることや再構本化時間アドレスの誤差が累積され、パツファメモリの容量を越えてしまう虞があり、変化速度及び変化量の制限やパツファメモリの増大を招いていた。これは、上述したように入力構本化周波数Fsiと出力構本化周波数Fsoを可変するような用途においては、構本化周波数Rの値と現英のFsi/Fsoとに、図13に示すように、誤差ΔRが生じてしまうということによる。

【0011】一方、上記入力カマスタックロックMCKiを高くして上記検出周期も短縮を考慮せず、再構本化時間アドレスの分解能を向上することも考えられる。しかし、この場合、カウンタ等の回路動作速度の限界や入力カクログジッタの吸収除去の問題が持ち上がる。このため単純に上記入力カマスタックロックMCKiの周波数を高くしても再構本化時間アドレスの分解能を向上させようとしても誤差の減少を可能にできるものの誤差の累積の防止を可能にできなかった。

【0012】本発明は、上記実例に鑑みてなされたものであり、一定時間継続的に構本化周波数Rが変化し続け、ても再構本化時間アドレスの誤差の累積を発生させず、よってパツファメモリの容量を増大させることなく、かつ、変化速度及び変化量の制限を不要とする構本化周波数変換装置の提供を目的とする。

【0013】  
【課題を解決するための手段】本発明に係る構本化周波数変換装置は、入力信号の構本化周波数を任意の構本化周波数に変換する構本化周波数変換装置において、上記入力信号を記憶する記憶手段と、上記記憶手段から読み出された信号を補間処理する補間処理手段と、上記入力信号の構本化周波数と上記任意の構本化周波数との構本化周波数比を算出し、該検出値及び過去の検出値に基づいて新たな構本化周波数Rを検出する構本化周波数検出手段と、上記構本化周波数検出手段が検出した構本化周波数Rに応じて上記記憶手段及び上記補間処理手段を制御する制御手段とを有することによって上記問題を解決する。  
【0014】この場合、上記構本化周波数検出手段は、新たな構本化周波数Rn.NEWを、現在の検出値Rnの2倍の値2Rnから過去の検出値Rn-1を減算して、Rn.NEW=2Rn-1の式により求めるようにしてもよい。  
【0015】また、上記構本化周波数検出手段は、新

【0008】  
【発明が解決しようとする課題】ところで、より高精度な構本化周波数変換すなわち再構本化時間アドレスを用いて再構本化周波数を得るための変換を行うためには、再構本化時間アドレスの分解能を向上させることが必要となる。このため、上記倍率Nを大きくして入力構本化周波数Fsiと出力構本化周波数Fsoの構本化周波数Rを検出する検出周期(時間)tを増大させることが考えら

たな構本化周波数Rn.NEWを、現在の検出値Rnと、現在の検出値Rnと過去の検出値Rn-1との差分値ΔRnのk(k<1)倍値kΔRnと、(1-k)ΔRnのmのmの1から無限大までの項の総和値としての無限

$$Rn.NEW = Rn + k \Delta Rn + \sum_{i=1}^{\infty} (1-k)^i (\Delta Rn)^i$$

【0017】の式により求めるようにしてもよい。  
【0018】また、上記構本化周波数検出手段は、上記入力信号の構本化周波数と上記任意の構本化周波数の内の一方の構本化周波数の周期に対して充分高速かつ他方の構本化周波数の整数倍のクロックで、上記一方の構本化周波数の周期を計数することによって構本化周波数Rを検出するようにしてもよい。  
【0019】また、上記補間処理手段は、上記制御手段により上記記憶手段から読み出された信号に対して上記制御手段から供給される制御信号に応じたオーバーサンプリング処理を施すことにより結合した二個のオーバーサンプリングデータを求め、さらにこれら二個のオーバーサンプリングデータに直線補間処理を施すことが好ましい。

【0020】ここで、上記オーバーサンプリング処理による二個のオーバーサンプリングデータは2つの非巡回形ファルタにより得られる。

【0021】また、上記入力信号の構本化周波数が上記任意の構本化周波数よりも高いときには、上記補間処理手段の出力信号に帯域制限を施すことが好ましい。

【0022】また、上記構本化周波数検出手段は、短い時間周期と長い時間周期で上記入力信号の構本化周波数と上記任意の構本化周波数との構本化周波数比を検出し、該短い時間周期及び該長い時間周期での現在の検出値及び過去の検出値に応じて、短い時間周期及び長い時間周期での新たな構本化周波数Rを検出し、該2つの新たな構本化周波数Rを切り換えて出力することが好ましい。

【0023】また、上記構本化周波数検出手段は、短い時間周期での新たな構本化周波数Rと長い時間周期での新たな構本化周波数Rとの所定の精度内での一致又は不一致を判断し、一致のときには上記長い時間周期での構本化周波数Rを、不一致のときには上記短い時間周期での構本化周波数Rを選択して出力するようにしてもよい。

【0024】この一致又は不一致の判断は、短い時間周期での構本化周波数Rと長い時間周期での構本化周波数Rを比較手段によって比較することによって行われる。所定の精度内での判断とは、長い時間周期での構本化周波数Rと、短い時間周期での構本化周波数Rとを所定の桁数の範囲だけ比較することによって行うことができ、例えば、構本化周波数Rをディジタル値として扱う場合、ビット数の多い構本化周波数Rの最上位ビットから所定のビット(例えば、ビット数の少ない構本化周波数Rn.NEWを検出する構本化周波数検出回路7

級数とを加算して、  
【0016】  
【数2】

数2の全ビット数に对应的)までと、ビット数の少ない構本化周波数Rの全ビットを比較することによる。  
【0025】また、上記制御手段は、上記記憶手段にデータ読み出しアドレスである上記再構本化時間アドレスとデータ書き込みアドレスとを供給している。また、上記制御手段は、上記補間処理手段に上記オーバーサンプリング処理に使用されるオーバーサンプリング係数の選択制御信号と、上記直線補間処理に使われる先行リレーティング用及び後述のレートリレーティング用の直線補間係数を供給している。

【0026】  
【作用】構本化周波数検出手段は、入力信号の構本化周波数と任意の構本化周波数との構本化周波数比を検出し、該現在の検出値及び一検出周期前の過去の検出値に基づいて新たな構本化周波数Rを求め制御手段に出力する。このため、制御手段は新たな構本化周波数Rに応じた記憶手段及び補間処理手段を制御するので、一定時間継続的に構本化周波数Rが変化し続け、ても再構本化時間アドレスの誤差の累積を発生させず、よってパツファメモリの容量を増大させることなく、かつ、変化速度及び変化量の制限を不要とする。

【0027】  
【実施例】以下、本発明に係る構本化周波数変換装置の好ましい実施例を図面を参照しながら説明する。

【0028】先ず、第1実施例について、図1を参照しながら説明する。この第1実施例は、入力端子1から入力された信号Dsiの構本化周波数Fsiを再構本化して任意の構本化周波数Fsoの信号Dsoに要換する構本化周波数変換装置であり、入出力系が完全に非同期な無数変換装置、すなわち、入出力信号間に同期関係の無い自由な比率の構本化周波数変換処理を実現する。以下、入力信号Dsiの構本化周波数Fsiを入力構本化周波数Fsiとし、任意の構本化周波数Fsoを出力構本化周波数Fsoとする。

【0029】この第1実施例の構本化周波数変換装置は、入力端子1から入力された入力構本化周波数Fsiの入力信号Dsiを書き込むと共に読み出す再構本化用のパツファメモリ2と、この再構本化用パツファメモリ2の出力信号を補間する補間処理回路3と、入力端子5から供給される上記入力構本化周波数Fsi情報と入力端子6から供給される上記出力構本化周波数Fso情報とから構本化周波数Rnを検出し、該現在の検出値Rnと一検出周期前の過去の検出値Rn-1に基づいて新たな構本化周波数Rn.NEWを検出する構本化周波数検出回路7



リアシング雑音を発生させないためのフィルタである。  
第1の標本化周波数FSが出力標本化周波数Fsoよりも  
高いときには、エリアシング雑音が発生する虞があるの  
で、マルチプレクサ19aからの出力信号を帯域制限す  
る。

【0052】したがって、この第2実施例の標準化周波数変換装置は、入力標準化周波数  $f_{s1}$  と出力標準化周波数  $f_{s0}$  から現在の標準化周波数  $Rn$  を計算し、該現在の標準化周波数  $Rn$  が過去の検出周波数  $Rn$  に基づいて新たな標準化周波数  $Rn_{NEW}$  を求め、コントロール2.5に出力している。このため、コントロール2.5は、図2のような誤差の累積することのない新たな標準化周波数  $Rn_{NEW}$  から再標準化時間アドレスを生成することができるので、再標準化用バッファメモリ13にオーバーフローやアンダーフローを生じさせず、再標準化用バッファメモリ13の容量を満ちさせることなく、安定な標準化変換処理を行うことができる。さらに、出力信号となる標準化周波数  $f_{s0}$  の出力信号  $D_{s0}$  は、エリアングのない信号となる。

【0053】次に、第3実施例について図6乃至図8を参照しながら説明する。この第3実施例も、上述した第1実施例、第2実施例と同様に、入力された信号Dsiの1周波数Fsiを再帰本化した任意の周波数Fsoの信号Dsoに交換する周波数変換装置であり、入力系が完全に非同期的な周波数変換処理、すなわち、入出力信号間に同期関係のない自由な比率の周波数変換処理を実現する。以下、入力信号Dsiの周波数変換処理を出力周波数Fsoとする。また、本実施例の回路構成は、第2実施例の回路構成を示した図3で示すことができる。この第3実施例と第2実施例との相違点は、周波数変換出力回路24の具体的な動作である。

【0054】以下、図3と、新たに図6乃至図8を参照しながらこの第3実施例について説明するが、上述した理由から標準化周波数比較回路24の具体的構成並びに動作を中心として説明を進める。

**【0055】** この第3実施例の標準化周波数変換装置は、図1に示すように、8Fsオーバーサンプリングフィルタ1と2と、再帰用的パワァメモリ13と、補間係数 $\alpha$ を出力する回路14と、入力端子2から供給される標準化周波数Ffと、入力の整数倍の入力マスタクロックMCKi ( $M = F - Fs_i$ )で入力端子2から供給される標準化周波数Ffs<sub>o</sub>(以下、出力標準化周波数という。)との積(=Ts<sub>o</sub>N)の周期も( $=N \cdot Ts_o$ )を短い時間周期tと長い時間周期Tとして計数することによって分解能を上向した標準化周波数を短時間周期とも長い時間周期でも、それぞれを抽出し、短い時間周期ts及び長い時間周期Tns-17の現在の値を出し、Rms及びRnLと、過去の検出時間Pms-17及びRnlに基づいて、短い時間周期ts及び長い時間周期Tfnr(n) $n=1, 2, …, N_{max}$ を求める。

期としての新たな標準化周波数比  $R_{ns\_NEW}$  及び  $R_{nL\_NEW}$  を算出し、該新たな標準化周波数比  $R_{ns\_NEW}$  及び  $R_{nL\_NEW}$  を切り換えた出力する標準化周波数比  $R_{ns\_NEW}$  及び  $R_{nL\_NEW}$  とをこの標準化周波数比  $R_{ns\_NEW}$  及び  $R_{nL\_NEW}$  から再標準化周波数比  $R_{ns\_NEW}$  及び  $R_{nL\_NEW}$  を制御する制御部メモリ 13 及び制御処理回路 14 を制御する制御部メモリ 13 及び制御処理回路 14 を生成手段であり、かつ制御手段である制御部 20 を有し、再標準化周波数出力回路 19 と、帯域制限フィルタ 20 とを有する。

【0056】 標本化周波数比抽出回路24は、図6にその構成を示すように、入力端子22から供給される入力マスタカウンタCMCKにより、整数倍の標本化周期Nsから入力される短い時間周期tsでの整數倍の標本化周期N<sub>s</sub>・Tsoを計数する短周期カウンタ40と、この短周期カウンタ40からのカウンタ出力を上記Ns・Tsoを基にラッチするラッチ41と、入力端子22から供給される入力マスタカウンタCMCKにより入力数倍の標本化周期から入力される長い時間周期t<sub>L</sub>での整數倍の標本化周期N<sub>L</sub>・Tsoを計数する長周期カウンタ42と、この長周期カウンタ42からのカウンタ出力を上記N<sub>L</sub>・Tsoを基にラッチするラッチ43と、ラッチ41のラッチ出力とラッチ43のラッチ出力とを比較する比較回路44と、この比較回路44での比較結果に応じていずれかのラッチ出力をコンローラ25に選択して出力する選択回路45とを有してなる。

【0057】短周期カウンタ40でNs・Tsoeを入力した結果をラッチ41でラッチすることにより、短周期スタークロックMCKによりカウントし、そのカウントでの現在の精本化周波数はRsが求められることとなる。また、長周期カウンタ42でNL・Tsoeを入力した結果をラッチ43でラッチすることにより、長周期スタークロックMCKによりカウントし、そのカウントでの現在の精本化周波数はRLが求められることとなる。すなわち、ラッチ41でのラッチ周期は短周期tsであり、ラッチ43でのラッチ周期は長周期tlである。このラッチ周期ts及びtlは、決定される入力精度比RNLと変換比率中最大値との差と精本化周波数tsの分母が一致するように決定する。

【0058】ここで、入力マスタークロックMCKiは、Ns・Tso及びN1・Tsoに充分高速であり、かつ上述したように入力標準化周波数Fsiの整数倍Mのクロックである。

【0059】この積本化周波数比較回路4は、短周期時間  $t_{s0}$  での現在の積本化周波数比  $R_{ns}$  及び長周期時間  $t_{ls}$  での現在の積本化周波数比  $R_{nl}$  から、短周期時間  $t_{s0}$  及び長周期時間  $t_{ls}$  での一抽出周期前の過去の積本化周波数比  $R_{ns-1}$  及び  $R_{nl-1}$  とを求め、さらに、これらの各抽出値から、短い時間間隔  $t_{s0}$  及び長い時間間隔  $t_{ls}$  での新たな積本化周波数比較  $R_{ns\_NEW}$  及び  $R_{nl\_NEW}$  を検出する。

【0060】短周期tsにおいて、標準化周波数比Rnsの2倍の値から回路24は、現在の標準化周波数比Rnsを減算して、新たな標準化周波数比Rns-NEWを算出する。これは、図7に示すように、現在Rns-NEW=Rns+ΔRns=Rns

$$R_{ns,NEW} = R_{ns} + \Delta R_{ns} = R_{ns}$$

【0061】長周期において、標準化周波数は抽出回路24は、現在の標準化周波数比RnLの2倍の値から過去の抽出値RnL-1を減算して、新たな標準化周波数比RnLNEWを抽出する。これは、図8に示すように、現在となる。

$$R_{NL,NEW} = R_{NL} + \Delta R_{NL} = R_{NL}$$

となる。

【0062】比較回路44は新たな標準化同波数比RnとsNEWと新たな標準化同波数比RnLNEWとが所定の精度内で一致するか又は不一致であるか判断する。この比較回路44で新たな標準化同波数比RsNEWと新たな標準化同波数比RnLNEWとが一致又は不一致と判断すると、この比較回路44はその相幅に応じた選択制御信号を並列制御回路45に供給する。

【0063】選択回路45は、比較回路44から供給された選択制御信号に応じてラッチ41又はラッチ43から、新たな標準化周波数比R<sub>ns</sub>、NEWまたは新たな標準化周波数比R<sub>nl</sub>、NEWを切り換え選択して出力する。

【0064】比較回路44での比較は、ビット数の多い側である新たな標準化同波数比RnL、NEWと、ビット数の少ない値である新たな標準化同波数比Rs、NEWとを比較することになるが、その比較の結果は、例えば、標準化同波数比RnL、NEWの最上位ビットから所定のビット（標準化同波数比Rs、NEWの全ビット数にのびた）までと、標準化同波数比Rs、NEWの全ビット数を比較することによる。このようにすれば、所定の範囲内において、その一致と不一致とを判別することができる。この比較回路44は、新たな標準化同波数比RnL、NEWと新たな標準化同波数比Rs、NEWとが所定の精度内で一致していると判別すると、選択回路45に長周期としての新たな標準化同波数比RnL、NEWを選択して出力せよという選択制御番号を供給する。一方、この比較回路44は、新たな標準化同波数比Rs、NEWと新たな標準化同波数比RnL、NEWとが所定の精度内で不一致である判別すると、選択回路45に短周期としての新たな標準化同波数比Rs、NEWを選択して出力せよという選択制御番号を供給する。

【0065】選択回路45は、比較回路44から供給される上記2つの選択制御信号によって、長周期としての新たな基準本化周波数BnL、NEW又は短周期としての新たな基準本化周波数BnS、NEWをコントローラ25の加算器46に出力する。

【0066】コントローラ25は、図6にその構成を示すように、標準化周波数比計測回路24から供給され

の標準化同波数比  $R_{ns}$  と過去の検出値  $R_{ns-1}$  との減算値  $\Delta R_{ns}$  を現在の標準化同波数比  $R_{ns}$  に加算することにより、新たな標準化同波数比  $R_{ns}$ 、NEW としているためである。すなわち、新たな標準化同波数比  $R_{ns}$ 、NEW は、
$$R_{ns} - R_{ns-1} = 2 R_{ns} - R_{ns-1}$$

(2)

の標準化周波数比  $R_{nl}$  と過去の検出値  $R_{nl-1}$  との減算値  $\Delta R_{nl}$  を現在の標準化周波数比  $R_{nl}$  に加算することにより、新たな標準化周波数比  $R_{nl\_NEW}$  としているためである。すなわち、新たな標準化周波数比  $R_{nl\_NEW}$  は、

$$\begin{aligned} R_{nL} - R_{nL-1} &= 2 R_{nL} - R_{nL-1} \\ &\dots \quad (3) \end{aligned}$$

長期間としての新たな構造化同数比 RnL、NEW 又は短周期としての新たな構造化同数比 Rns、NEW を計算加算し、再び使用バフファメモリ 13 のデータ数を抽出しアドレスを生成している。また、コントロール 2 は、加工回路 4 及びバフプロセッサ回路 7 を用いて、補脚処理を出し理回路 14 へのオーバーサンプリング用の係数値を抽出しアドレステと、直線制御用の直線補間係数を生成している。

【0067】ここで、フリップフロップ回路47は、D  
フリップフロップ回路とすることが好ましく、入力端子  
48から、この第3実施例の出力番号の標準化周波数  
8 Fsoに合せて8 Fsoのクロックが供給される。ま  
ちろん、出力番号の標準化周波数が4又は2 Fsoで  
ある場合には、4又は2 Fsoのクロックが供給され  
る。2、入力端子49から、1シニナイズ番号が供給さ  
れる。

【0068】補間処理回路14の概略構成及び動作は、図3及び図5を参照しながら説明した上述の第2実施例のそれと同様であるので、ここでは説明を省略する。

【0069】したがって、この第3実施例の素体化同波数変換装置は、入力素体化同波数  $F_{ei}$  の整数倍の入力クロック  $CK_i$  ( $=M \cdot F_{ei}$ ) で素体化同波数  $F_{eo}$  の周期の1倍の周期  $T$  ( $=N \cdot T_{eo}$ ) を、短い時間間隔  $T_{eo}$  と長い時間間隔  $T$  とで計数することによって時間間隔  $T$  の周を向上した素体化同波数比を短い時間間隔  $T_{eo}$  と長い時間間隔  $T$  とで計数することによって、短い時間間隔  $T_{eo}$  及び長い時間間隔  $T$  での現在の検出値  $R_{ms}$  及び  $R_{nl}$  と、過去の検出値  $R_{ms}$  及び  $R_{nl}$  に基づいて、短い時間間隔  $T_{eo}$  及び長い時間間隔  $T$  での新たな素体化同波数比  $R_{ni}$  と及び長い時間間隔  $T$  での新たな素体化同波数比  $R_{nl}$  とを

s、NEW及びRnL、NEWを抽出し、該短周期sでの新たな本番本化同波数比Rns、NEWと長周期tでの新たな本番本化同波数比RnL、NEWが所定の精度内で一致した場合に、sと同周期tでの新たな本番本化同波数比RnL、NEWを、不一致の場合には、短周期sでの新たな本番本化同波数比RnL、NEWを算出加算して、本化データ読み出しアドレス、ROM係数選択制御番号、直読補助係数等の制御番号を

作成し、該制御番号によって再構造化用パツファメモリ  
13、補助処理回路14を制御するので、再構造化用パ  
ツファメモリ13にオーバーフローやアンダフローを  
生じさせず、再構造化用パツファメモリ13の容量を増  
大させることとなり、安定な構造化変換処理を行うことが  
できる。また、出力信号となる構造化周波数Fsoの出力  
で、再構造化用パツファメモリ13の出力と、構造  
化周波数Dsoにエリアシングを起こさない。さらに、構  
造化周波数比に応じて再構造化データ読み出しアドレス等  
の制御信号の応答を最適とする時は高精度とするかを、  
適応的に切り換え、異なる構造化周波数比による再生才  
一対一次元信号の劣化防止、自由な構造化周波数変  
換によるミスマッチングの回避を図ることができ、

【0070】なお、本発明に係る再標本化周波数変換装置は、再標本化周波数比計測回路を3個以上設けて高精確と高速変換に細かく対応することも可能である。

【0071】また、本発明に係る再帰化同波数変換装置は、標準化同波数比較回路9のような構成とすることも可能である。この図9に示すような標準化同波数比較回路を他の実施例として以下に説明する。なお、この他の実施例は、標準化同波数比較回路9の構成を上記第3実施例の標準化同波数変換装置と異ならせて構成しているので、他の構成については説明を省略する。

【0072】この他の実施例は、基本周期波数域に抽出回路を構成するにあたり、上述した第3実施例のように短周期カウンタと長周期カウンタを独立して製作することで、短周期の基本周期波数域を備えた短周期基本周期波数域Rに対し、コントロール回路5-3の基本周期波数域Rに生成のための加算回路4-4を時の再帰変位時刻アドレス生成のために加算回路4-4を時分割で共用して累積加算を施して、適時的に新たな基本周期波数域RをN<sub>1</sub>倍を得るようにしており、長周期カウンタを省略することができ、

【0073】すなわち、この他の実施例の標準本化周波数比較回路は、入力端子52から入力される信号の標準本化周波数 $f_s$ をクロック分周器51から供給される分周クロック $\Phi_{clk}$ で計測して求めた短周期 $t_m$ での新たな標準本化周波数比 $Rns\_NEW$ と、該標準本化周波数比 $Rns\_NEW$ を加算回路54と乗算加算ラッチ55とを用いて累積加算し長周期ラッチ56で分周クロックを用いて計数することによって得られる長周期 $T$ での新たな標準本化周波数比 $Rn\_L\_NEW$ との一致又は不一致と比較回路57で所定の精度内で検出し、一致のとときには長周期 $T$ での標準本化周波数比 $Rn\_NEW$ を、不一致のときには短周期 $t_m$ での標準本化周波数比 $Rns\_NEW$ を選択回路58が選択してコンローラに出力する。ここで、クロック分周器51は、入力端子50から供給される基準クロックを分周して分周クロックを短周期 $t_m$ での標準本化周波数比検出回路53、累積加算ラッチ回路55及び長周期ラッチ回路56に供給し

【0074】したがって、この他の実施例は、長周期方

ウインタを備えた長周期帯域本同波数比較回路を不要として、帯域本同波数比較に依りて再帰本同波数アドレスの生成の成否を高精度とするか否は高遅とするかを適応的に切り換え、帯域本同波数比較の要請があまりないようなときには高精度な帯域本同波数比較の要請を行い、帯域本同波数比較の要請がある程度大いときには高遅な帯域本同波数比較の要請を行っている。

【0075】さらに、本発明に係る標準化周波数交換装置は、上述した第2実施例の標準化周波数交換装置の構成は、上述した図10に示すように構成してもよい。

【0076】この図10に示す標準化周波数比は抽出回路を設ける他の実施例（以下、図10に示す他の実施例という）も、上記（1）式で示されるように、現在の標準化周波数比Rnの2倍の値から一抽出周期前の過去の抽出値Rn-1を減算して、新たな標準化周波数比Rn-NEWを求めている。

【0077】すなわち、この図10に示す他の実施例は、入力端子62から入力される信号の精本化周波数比Fstは精本化周波数比後出回路63が分周クロックで計数することによって得た基準となる精本化周波数比Rnの数に基づいて、加算回路64及び反転回路65を介して加算回路67に供給し、該加算回路67にてビットシフト器66を介した精本化周波数比Rnに加算している。ビットシフト器66は精本化周波数比Rnの2倍の値2Rnを得、Dフリップフロップ64及び反転回路65は精本化周波数比Rnの一倍出周波数の値Rn-10進符号の値一Rn-1を得る。よって、加算回路67では、上記(1)式に示されるような演算が行われる。ここで、クロック分周回路61は、入力端子60から供給される基準クロックを分周した分周クロックを精本化周波数比後出回路63及び0フリップフロップ64に供給している。

【0078】したがって、この図10に示す他の実施例は、入力導本化同数値Fsiと出力導本化同数値Fsoから現在の導本化同数値Rnを計算し、該現在の導本化同数値Rn及び過去の導本化同数値Rn-1に基づいて新たな導本化同数値Rn+1を求め、コントローラ25は、図2のような閉路の構築を繰り返すことのない値（新たな導本化同数値Rn、NEW）から再導本化時間アドレスを生成することができるので、再導本化用バッファメモリ13にオーバーフローやアンダーフローを生じさせず、再導本化用バッファメモリ13の容量を効大化させることなく、安全な導本化変換処理を行うことができる。

【0079】またさらに、本発明に係る標準化周波数変換装置は、上述した第2実施例の標準化周波数変換装置の標準化周波数比検出回路24を図11に示すように構成してもよい。

【0080】この図11に示す標準化周波数比較回路を設ける他の実施例（以下、図11に示す他の実施例と）いうのは、入力端子72から入力される信号の標準化周

波数比  $F_{\text{sig}}$  を標準化周波数比検出回路 73 が分周クロックで計数することによって得た逆数となる標準化周波数比  $F_{\text{sig}}$  を D フリップフロップ 74 及び反転回路 75 を介して加算回路 76 に供給し、該加算回路 76 にて標準化周波数比  $F_{\text{sig}}$  と加算回路 76 に供給している、D フリップフロップ 74 の周波数比  $R_n$  に加算している。D フリップフロップ 74 及び反転回路 75 は標準化周波数比  $R_n$  の一検出周期前の値  $R_{n-1}$  の逆数の値  $-R_{n-1}$  を得る。よって、加算回路 76 は現在の標準化周波数比  $R_n$  と一検出周期前の標準化周波数比  $R_{n-1}$  との差分  $\Delta R_n$  を出力する。

【0081】この差分 $\Delta Rn$ は乗算回路76及び加算回路80に供給される。乗算回路76は差分 $\Delta Rn$ に係数 $k$  ( $k < 1$ ) を乗算し、その乗算結果 $k \Delta Rn$ を加算回路78に供給する。加算回路80は差分 $\Delta Rn$ に後述するフロップフロップ82の出力信号を相加加算する。【0082】加算回路80の出力信号は、乗算回路81に供給され、 $(1-k)$  と乗算される。この乗算結果81の出力信号はフロップフロップ82に供給される。0の出力信号はフロップフロップ82に供給される。0とされるフロップフロップ82は、クロック分周器71から供給されるクロックを基に上記乗算回路81の出力信号を数値し、 $m$  検出同期前の値を出力する。したがって、加算回路80、乗算回路81及びフロップフロップ82よりなる帰還系回路は、 $(1-k)m(\Delta Rn-m)$  の形

$$R_{n, \text{NEW}} = R_n + k \Delta R_n + \sum_{m=1}^{\infty} (1-k)^m \cdot (\Delta R_{n-m})$$

【0087】ここで、 $\Delta R_n = R_n - R_{n-1}$ 、 $k < 1$ である。

【0088】そして、この図1に示す実施例は、この新な格納比周波数比Rn.NEをコントローラ25により出力している。このため、コントローラ25は、図12のような読出しの算出したものない値（新たな格納比周波数比Rn.NE）から再格納化時間アドレスを生成することのできることで、再格納化用フリップフロム13にオーダーバードアンプローパーを生じさせず、再格納化用フリップフロム13の容量を増大させることなく、安定な格納化変換処理を行うことができる。

168001

【発明の効果】本発明に係る楕円化同波数変換装置は、入力信号の楕円化同波数を任意の楕円化同波数に変換する楕円化同波数変換装置において、上記入力信号を記憶する記憶手段と、上記記憶手段から読み出された信号を補間処理する補間処理手段と、上記入力信号の楕円化同波数と上記任意の楕円化同波数との楕円化同波数比を換

出、該検出値及び過去の検出値に基づいて新たな標準化同波数値を検出する標準化同波数は後述手段と、上記標準化同波数は検出手段の新たな標準化同波数比に等しい標準化同波数は検出手段を制御する制動比が分かるとして、一定時間間接処理手段を併用する制動比は前記手段と有すると、第一时间刻連続的に基本化同波数の変化し続けるとしても再帰本化時刻アドレスの順逐を免れ発生せず。よってアップファモリの容量を小さくすることが可能となる。

（以下略）

戻換数を求める回路となる。

【0083】この帰還系回路の  $(1-k)m(\Delta R_{in})$  の無相換数は、加算回路 78 で乗算回路 77 から得る結果  $k\Delta R_{in}$  に加算される。この加算回路 78 の加算出力は加算回路 79 に供給される。加算回路 79 は、現在の帰還数  $R_n$  に加算回路 78 の加算出力を加算して、新たな帰還数  $R_{n+1}$  を出力する。

【0084】ここで、クロック分周器71は、入力端子70から供給される基準クロックを分周した分周クロックを標準化周波数比較回路73、Dフリップフロップ74及びDフリップフロップ回路82に供給している。

【0085】したがって、この図1に示す他の実施例は、入力標準化周波数F<sub>si</sub>と出力標準化周波数F<sub>so</sub>から現在の標準化周波数F<sub>n</sub>を計算し、該現在の値を出力回路81に、Dフリップフロップ74及び反転回路75から得た $\Delta R_n$ と、加算回路80、乗算回路81及びDフリップフロップ82よりなる帰還系回路の出力(1-k)<sub>m</sub>( $\Delta R_{n-m}$ )のmの1から無限大までの項の総和として、次の(4)式に示すように新たな周波数とを加算し、次の(4)式に示すように新たな標準化周波数F<sub>n</sub>を計算する。

[0086]

【乙40】

となく、かつ、変化速度及び変化量の制限を不要とする。

【図面の簡単な説明】

【図１】本発明の第１実施例の標準化周波数変換装置の概略構成を示すブロック図である。

【図2】図1に示した第1実施例の帰本化同波数変換装置に設けられた帰本化同波数は検出回路の動作を説明するための図である。

【図3】本発明の第2実施例の標準化周波数変換装置の概略構成を示すブロック図である。

〔図4〕図3に示した第2実施例の原本化同波数変換装置の原本化同波数比較回路とコントローラの概略構成を示すブロック図である。

【図5】図3に示した第2実施例の標本化周波数変換回路の補間処理回路の動作を説明するための図である。

【図6】本発明の第3実施例の標準化同波数変換装置に用いる標準化同波数比較回路とコントローラの概略構成を示すブロック図である。

【図 7】第 3 実施例の標準化周波数変換装置の標準化周波数比較回路の短周期での動作を説明するための図である。

【図8】第3実施例の標準化周波数変換装置の標準化周波数比較出力回路の長同期での動作を説明するための図である。

【図9】本発明の他の実施例の標準化回波数変換装置に

用いる標準化周波数比較検出回路の概略構成を示すブロック図である。

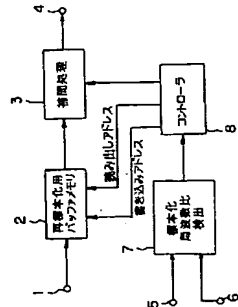
【図 10】本発明に他の実施例の標準化周波数変換装置に用いる標準化周波数比較検出回路の概略構成を示すブロック図である。

【図 11】本発明の他の実施例の標準化周波数変換装置の標準化周波数比較検出回路の概略構成を示すブロック図である。

【図 12】図 11 に示す他の実施例の標準化周波数変換装置の標準化周波数比較検出回路の動作を説明するための図である。

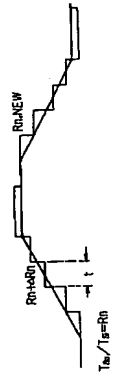
【図 13】従来の標準化周波数変換装置に用いられる標準化周波数比較検出回路の動作を説明するための図である。

【図 1】



標準化周波数変換装置のブロック図

【図 2】



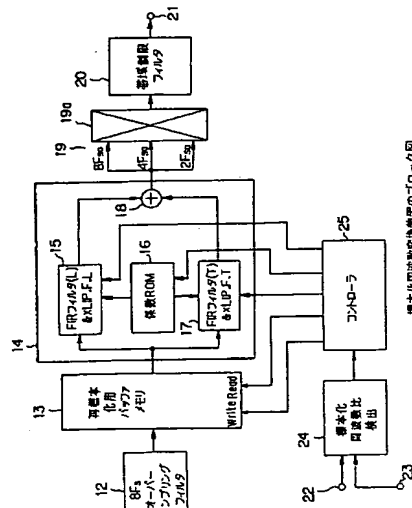
標準化周波数比較検出回路の動作説明図

【図 7】



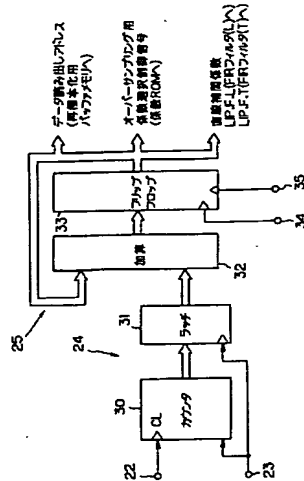
標準化周波数比較検出回路の動作説明図

【図 3】



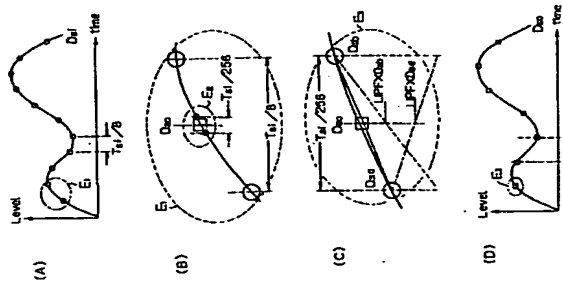
標準化周波数変換装置のブロック図

【図 4】



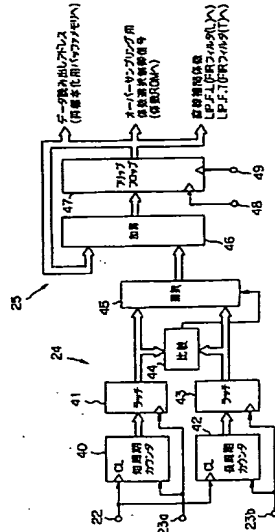
標準化周波数比較検出回路とコントローラのブロック図

【図 5】



標準化周波数比較検出回路の動作説明図

【図 6】



標準化周波数比較検出回路とコントローラのブロック図

【図 8】

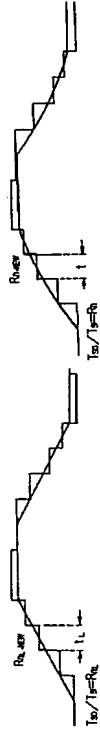


図 8 の基本化周波数比検出回路の動作説明図

【図 12】

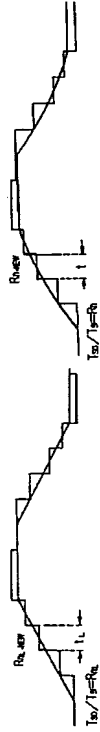


図 12 の基本化周波数比検出回路の動作説明図

【図 9】

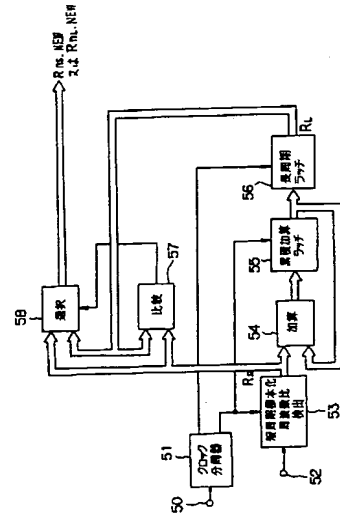


図 9 の基本化周波数比検出回路のブロック図

【図 10】

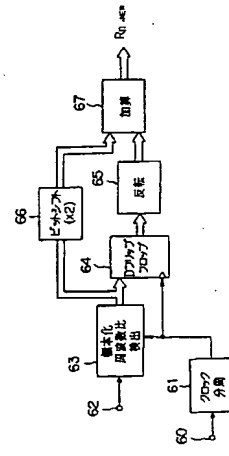


図 10 の基本化周波数比検出回路のブロック図

【図 13】



図 13 の基本化周波数比検出回路の動作説明図

【図 11】

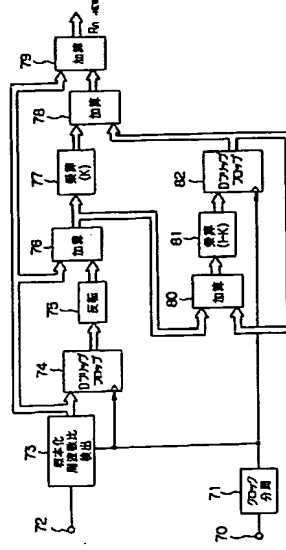


図 11 の基本化周波数比検出回路のブロック図